



KOREAN PATENT ABSTRACTS(KR)

Document Code:A

(11) Publication No.1020000047434

(43) Publication Date. 20000725

(21) Application No.1019990027469

(22) Application Date. 19990708

(51) IPC Code:

H04L 12/56

(71) Applicant:

NEC CORPORATION

(72) Inventor:

RAMAMURTHY GOPALAKRISHNAN

FAN RUIXUE

SMILJANIC ALEKSANDRA

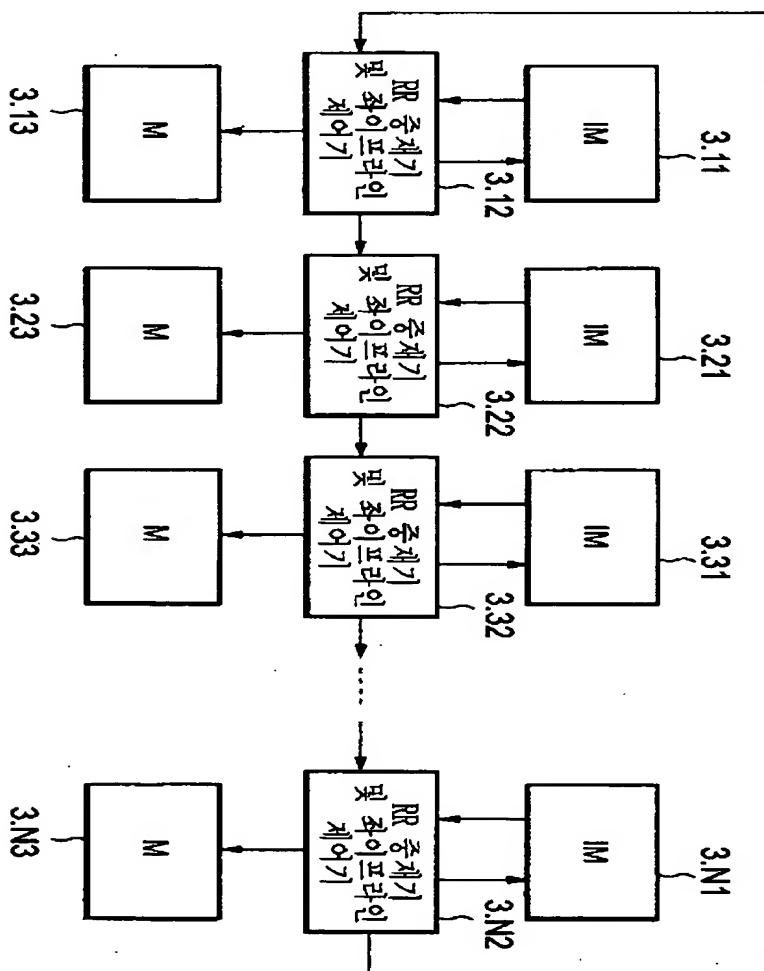
(30) Priority:

98 206975 19981208 US

(54) Title of Invention

RRGS-ROUND-ROBIN GREEDY SCHEDULING FOR INPUT/OUTPUT BUFFERED TERABIT SWITCHES

Representative drawing



(57) Abstract:

PURPOSE: RRGS-round-robin greedy scheduling for input/output buffered terabit switches is provided to make scheduling decisions in a terabit switch that will efficiently use an optical core, and to have a pipeline architecture that performs a round-robin greedy scheduling while providing good performance and fulfilling stringent timing requirements without internal speedups.

CONSTITUTION: A scheduler may be used in optical switches as well as electronic switches with terabit capacity. A round-robin greedy scheduling(RRGS) achieves optimal scheduling at terabit throughput, using a pipeline technique. The pipeline approach avoids the need for internal speedup of the switching fabric to achieve high utilization. a method for determining a time slot in a NxN crossbar switch for a round robin greedy scheduling protocol, comprising N logical queues corresponding to N output ports, the input for the protocol being a state of all the input-output queues, output of the protocol being a schedule. The method comprises: choosing input corresponding to $i = (constant - k - 1) \bmod N$, stopping if there are no more inputs, otherwise choosing the next input in a round robin fashion determined by $i = (i + 1) \bmod N$; choosing an output j such that a pair (i, j) to a set $C = (i, j)$, there is at least one packet from I to J , if the pair (i, j) exists; removing i from a

set of inputs and repeating the steps if the pair (i, j) does not exist; removing j from a set of outputs; and adding the pair (i, j) to the schedule and repeating the steps.

COPYRIGHT 2000 KIPO

if display of image is failed, press (F5)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.

H04L 12/56

(11) 공개번호

특2000-0047434

(43) 공개일자

2000년07월25일

(21) 출원번호 10-1999-0027469

(22) 출원일자 1999년07월08일

(30) 우선권주장 09/206,975 1998년12월08일 미국(US)

(71) 출원인 닛폰 덴키주식회사, 가네코 히사시

일본

000-000

일본 도쿄도 미나도구 시바 5-7-1

(72) 발명자 라마머디고팔라크리쉬난

일본

미국, 뉴저지08540, 프린스頓, 인디펜던스웨이4, 닛폰덴키유에스에이주식회사내

팬루이슈

일본

미국, 뉴저지08540, 프린스頓, 인디펜던스웨이4, 닛폰덴키유에스에이주식회사내

스밀야닉알렉산드라

일본

미국, 뉴저지08540, 프린스頓, 인디펜던스웨이4, 닛폰덴키유에스에이주식회사내

(74) 대리인 이명호

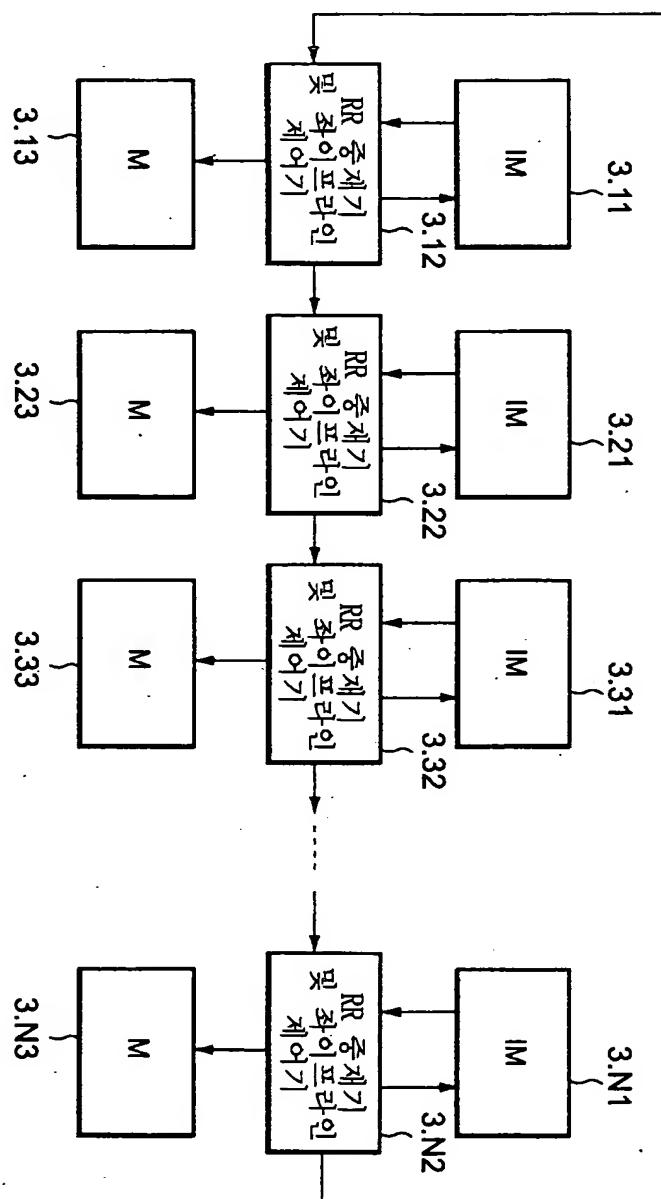
(77) 심사청구 있음

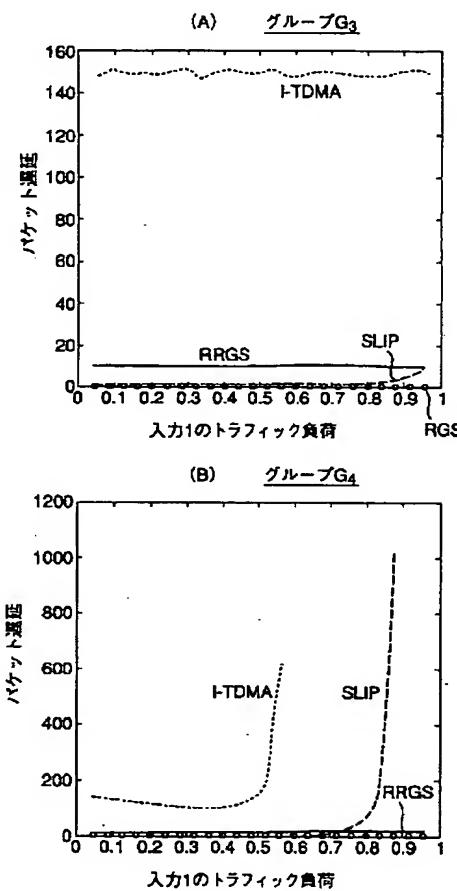
(54) 출원명 입력/출력 테라비트 스위치들을 위한 R R G S -라운드-로빈 그리디 스케줄링

요약

고속 셀을 토대로한 스위치들에서 패킷의 스케줄링을 위한 새로운 프로토콜이 제공된다. 이 스위치는 입력 버퍼들과 함께 논리적인 크로스-바 패브릭(logical cross-bar fabric)을 사용한다고 가정된다. 스케줄러는 테라비트 용량을 갖는 광학 뿐만아니라 전자 스위치들에 사용될 수 있다. 제안된 라운드-로빈 그리디 스케줄링(RRGS)은 파이프라인 기술을 사용하여 테라비트 처리량에서 최적의 스케줄링을 성취한다. 파이프라인 방식은 활용도를 높게 하기 위하여 스위칭 구조의 내부 속도를 상승시킬 필요가 없다. N 출력포트들에 대응하는 N논리적인 큐(logical queues)들을 구비하는 라운드 로빈 그리디 스케줄링 프로토콜용 $N \times N$ 크로스바 스위치에서 시간 슬롯을 결정하는 방법에서, 이 프로토콜용 입력이 모든 입력-출력 큐들의 상태이며, 이 프로토콜의 출력이 스케줄이며, 이 방법은 $i = (\text{constant}-k-1) \bmod N$ 에 대응하는 입력을 선택하는 단계와, 더 이상의 입력이 존재하지 않는다면 중지하는 단계와, 입력이 존재하면 $i = (i+1) \bmod N$ 에 의해 결정되는 라운드 로빈 방식으로 다음 입력을 선택하는 단계와, 한 쌍(i,j)이 존재하는 경우, 이 쌍(i,j)이 집합 $C = \{(i,j) \mid i \text{에서부터 } j \text{까지 적어도 하나의 패킷이 존재}\}$ 하도록 출력 j를 선택하는 단계와, 한 세트의 입력들로부터 i를 제거하여 이 쌍(i,j)이 존재하지 않는 경우 이 단계들을 반복하는 단계와, 이 세트의 입력들로부터 i 및 한 세트의 출력들로부터 j를 제거하는 단계와, 이 쌍(i,j)을 스케줄에 부가하여 이 단계들을 반복하는 단계를 포함한다.

대표도





제1페이지의 계속

(72) 발명자 루이쿠슈 팬

아메리카 합중국, 뉴저지,
08540 프린스 톤, 인디펜덴
스 우에이 4, 에누·알파벳 다섯번째 문자·씨·유
·에스·에이·잉크 안

(72) 발명자 아레쿠산도라 스밀자니쿠

아메리카 합중국, 뉴저지,
08540 프린스 톤, 인디펜덴
스 우에이 4, 에누·알파벳 다섯번째 문자·씨·유
·에스·에이·잉크 안